

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274358

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 27/10

(21)Application number : 2000-082536

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.03.2000

(72)Inventor : TAMURA HIROAKI
HASEGAWA KAZUMASA
TAKAHASHI KATSUHIRO

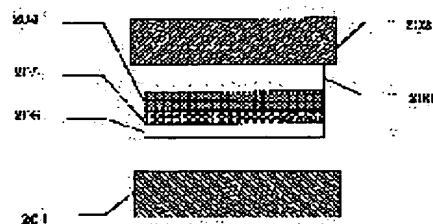
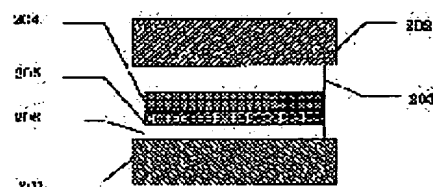
(54) METHOD OF MANUFACTURING CERAMIC THIN FILM DEVICE AND CERAMIC THIN FILM DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve such a problem that, in a process of transferring ceramic thin film elements formed on a first substrate to a second substrate, the delamination caused between the tin of a bonded member on the second substrate and the second substrate.

SOLUTION: Tin is deposited as an upper electrode of a ceramic thin film element to be transferred, and a material ensuring an adhesion to a second substrate and a bonding force to tin are formed as a film on the second substrate.

(A)



LEGAL STATUS

[Date of request for examination] 16.10.2003

[Date of sending the examiner's decision of rejection] 05.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274358

(P2001-274358A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/108		H 0 1 L 27/10	4 5 1 5 F 0 8 3
21/8242			6 5 1
27/10	4 5 1		6 2 1 Z

審査請求 未請求 請求項の数 9 O L (全 6 頁)

(21) 出願番号 特願2000-82536 (P2000-82536)

(22) 出願日 平成12年3月23日 (2000.3.23)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 田村 博明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 長谷川 和正

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

最終頁に続く

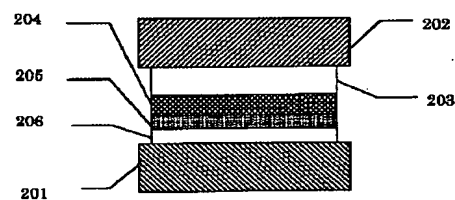
(54) 【発明の名称】 セラミックス薄膜デバイスの製造方法及びセラミックス薄膜デバイス

(57) 【要約】

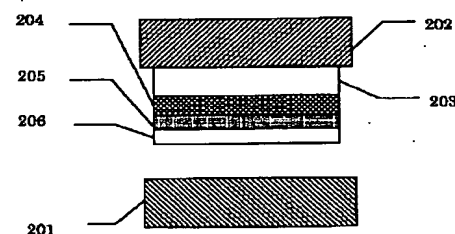
【課題】 第一の基板上に成膜したセラミックス薄膜素子を第二の基板上へ転写する工程において、第二の基板上に設けられた被接合部材である錫と第二の基板との間で剥離が生じてしまうことが課題であった。

【解決手段】 錫を被転写側であるセラミックス薄膜素子の上電極として成膜し、第二の基板上には、この基板との密着力ならびに錫との接合力が確保できる材料を成膜する。

(A)



(B)



【特許請求の範囲】

【請求項1】 1) 第一の基板上に下電極及びセラミックス薄膜及び上電極層を積層することによりセラミックス薄膜素子を形成する工程と2) 前記上電極層の表面をハロゲン化処理する工程と、3) 前記上電極層と第二の基板を接合する工程と、4) 前記第一の基板と第二の基板を引き剥がすことによって前記セラミックス薄膜素子を第二の基板上に転写する工程よりなるセラミックス薄膜デバイスの製造方法において、前記上電極層の最上層が錫であることを特徴とするセラミックス薄膜デバイスの製造方法。

【請求項2】 前記第二の基板表面に金属薄膜が積層されていることを特徴とする請求項1記載のセラミックス薄膜デバイスの製造方法。

【請求項3】 前記金属薄膜の最上層として白金をもちいることを特徴とする請求項2記載のセラミックス薄膜デバイスの製造方法。

【請求項4】 前記金属薄膜の最上層として金をもちいることを特徴とする請求項2記載のセラミックス薄膜デバイスの製造方法。

【請求項5】 前記上電極の最下層に導電性酸化物をもちいることを特徴とする請求項3あるいは請求項4記載のセラミックス薄膜デバイスの製造方法。

【請求項6】 前記下電極として導電性酸化物をもちいることを特徴とする請求項5記載のセラミックス薄膜デバイスの製造方法。

【請求項7】 前記導電性酸化物が ABO_3 の化学式で表される化合物であることを特徴とする請求項6記載のセラミックス薄膜デバイスの製造方法。

【請求項8】 前記第一の基板として ABO_3 の化学式で表される単結晶をもちいることを特徴とする請求項7記載のセラミックス薄膜デバイスの製造方法。

【請求項9】 請求項1から請求項8に記載の製造方法をもちいたことを特徴とするセラミックス薄膜デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、結晶性由来する物性（圧電性、強誘電性）を利用した薄膜素子を製造する方法に関し、特に第一の基板上にセラミックス薄膜を形成し、これを第二の基板上に転写してデバイス化する製造方法に関わる。

【0002】

【従来の技術】機能性薄膜を第一の基板から第二の基板へ転写する方法としては、特開平10-202874号公報に記載の方法がある。同公報中には、第一の基板上に非晶質珪素等による分離層とセラミックス薄膜素子を含んだ構成体を形成し、前記分離層に光を照射することにより、分離層の内部結合力または分離層と接触する層間の密着力を低下させて前記構成体を剥離し、第二の基板上に転

写する技術が開示されている。ここでは、セラミックス薄膜素子を第二の基板上に固定する手段としては接着剤がもちいられている。すなわち、第一の基板がセラミックス薄膜素子から引き剥がされた後は第二の基板上に接着剤を介してセラミックス薄膜素子が積層された構造となる。しかしながら通常、セラミックス薄膜には残留応力が存在している。接着剤が柔らかいとき、セラミックス薄膜の伸縮にともなう素子は接着剤ごと変形してしまうため、クラックが生じてしまうという問題があった。このような問題を解決する手段としては、特願平11-224331に示されるような方法が考えられている。この方法では、第二の基板上に金属のように硬い材質の被接合部材を設け、これとセラミックス薄膜素子の上電極とを接合することによって同様な転写がおこなわれている。被接合部材の代表例としては錫が用いられている。金属上への転写であるため、セラミックス薄膜の残留応力によって素子ごと変形することはなくなり、クラックの発生を抑えることが可能となった。

【0003】

【発明が解決しようとする課題】実施例中において、被接合部材としての錫はしばしば薄膜として第二の基板上に設けられている。具体的な成膜法は記載されていないが、一般的にはスパッタリングなどの方法によって成膜される。しかしながら、第二の基板表面の材質や状態によっては必ずしも錫と基板との間の密着力を確保することができない。すなわち、セラミックス薄膜素子の上電極と錫を接合した後、基板を引き剥がす段階において、錫と第二の基板との間で剥離してしまうという問題点があった。

【0004】また、錫とセラミックス薄膜素子の上電極とを接合するためには、錫自身をHF（弗化水素）に代表される雰囲気曝してハロゲン化処理を施す必要がある。さらにより効果的な処理をおこなうためには、錫をある一定温度以上に加熱することが望ましい。すなわち被転写側である第二の基板を加熱しながら、その表面を弗化水素などのハロゲン化ガスに接触させる必要がある。しかしながら第二の基板は通常、セラミックス薄膜素子を駆動する役割を担っている。この駆動素子側にダメージが加えられると、転写後のセラミックス薄膜は機能を発現することができない。ハロゲン化ガスに対して素子を保護する必要があるため、成膜工程が増える。生産性に劣るという問題があった。

【0005】本発明は、セラミックス薄膜素子を歩留まり良く、第一の基板から第二の基板へ転写することを目的としている。また本発明は第二の基板にダメージを与えることなく第一の基板から第二の基板へセラミックス薄膜素子を転写することを目的としている。

【0006】

【課題を解決するための手段】請求項1記載のセラミックス薄膜デバイスの製造方法は、1) 第一の基板上に下

電極及びセラミックス薄膜及び上電極層を積層することによりセラミックス薄膜素子を形成する工程と2) 前記上電極層の表面をハロゲン化処理する工程と、3) 前記上電極層と第二の基板を接合する工程と、4) 前記第一の基板と第二の基板を引き剥がすことによって前記セラミックス薄膜素子を第二の基板上に転写する工程よりなるセラミックス薄膜デバイスの製造方法において、前記上電極層の最上層として錫をもちいることを特徴とする。

【0007】上記構成によれば、セラミックス薄膜素子を再現性良く転写できると同時に、第二の基板を活性ガスから保護できるという効果を有する。

【0008】請求項2記載のセラミックス薄膜デバイスの製造方法は、前記第二の基板表面に金属薄膜が積層されていることを特徴とする。

【0009】上記構成によれば、セラミックス薄膜素子の上電極と第二の基板との接合が強固になるという効果を有する。

【0010】請求項3記載のセラミックス薄膜デバイスの製造方法は、前記金属薄膜の最上層として白金をもちいること特徴とする。

【0011】上記構成によれば、セラミックス薄膜素子の上電極と白金との間に共晶が形成され、接合がより強固になるという効果を有する。

【0012】請求項4記載のセラミックス薄膜デバイスの製造方法は、前記金属薄膜の最上層として金をもちいることを特徴とする。

【0013】上記構成によれば、セラミックス薄膜素子の上電極と金との間に共晶が形成され、接合がより強固になるという効果を有する。

【0014】請求項5記載のセラミックス薄膜デバイスの製造方法は、前記上電極の最下層に導電性酸化物をもちいることを特徴とする。

【0015】上記構成によれば、セラミックス薄膜と上電極層との密着力が強固になるため、転写の際にセラミックス薄膜と上電極層との間における剥離を防止できるという効果を有する。

【0016】請求項6記載のセラミックス薄膜デバイスの製造方法は、前記下電極として導電性酸化物をもちいることを特徴とする。

【0017】上記構成によれば、セラミックス薄膜と下電極との密着力が強固になるため、転写の際にセラミックス薄膜と下電極との間における剥離を防止できるという効果を有する。

【0018】請求項7記載のセラミックス薄膜デバイスの製造方法は、前記導電性酸化物がABO₃の化学式で表される化合物であることを特徴とする。

【0019】上記構成によれば、下電極とセラミックス薄膜との界面整合性が良好になるため、セラミックス薄膜と下電極との密着力がさらに強固になるという効果を

有する。

【0020】請求項8記載のセラミックス薄膜デバイスの製造方法は、前記第一の基板としてABO₃の化学式で表される単結晶をもちいることを特徴とする。

【0021】上記構成によれば、下電極およびセラミックス薄膜が優れた結晶配向性を有するため、セラミックス薄膜デバイスの性能が向上するという効果を有する。

【0022】また、本発明のセラミックス薄膜デバイスは、上記の製造方法をもちいることにより、セラミックス薄膜素子ならびに第二の基板をそれぞれ適した方法で製造することが可能になるため、きわめて高性能なものになる。

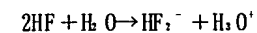
【0023】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて詳細に説明する。

【0024】(実施例1)はじめに第一の基板として単結晶のシリコン基板を用意し、この上に下電極として白金をスパッタリングにより成膜した。次に、セラミックス薄膜の前駆体溶液としてゾル液を調合した。溶媒の主成分としてとして2-n-ブトキシエタノールを用い、これに酢酸鉛三水和物、ジルコニウムアセチルアセトナートならびにチタニウムテトライソポロボキシドを適量溶解し、所望濃度に調整した。この原料ゾル液を前記第一の基板上にスピンコートによって塗布し、適当な温度で乾燥をおこなった。ゾル液の塗布と乾燥を繰り返すことによって所望膜厚の前駆体膜が形成される。これを最後に750℃で1時間焼成することによってチタン酸ジルコン酸鉛(以下PZTと表記)薄膜を得た。

【0025】PZT薄膜上に上電極として錫をスパッタリングによって成膜した。同様に第二の基板上には白金を成膜した。両基板を接合する前に、第一の基板表面にたいしHFによる弗化処理を施すことにした。処理方法の概略を図1に示す。

【0026】本実施例ではHFを生成するための原料ガスとしてCF₄をもちいている。このガスははじめに容器101によってH₂Oと混合され、続けて放電ユニット102へ送り込まれる。ここでH₂OとCF₄が分解され、同時に二次生成物として反応性のHFが発生する。このHFはH₂Oと共に、予め窒素によって置換されている弗化処理容器103内へ送り込まれる。ヒーター104によって適温に加熱された試料106の表面において、



の反応が生じ、HF₂⁻によって試料表面が弗化される。ここではPZT薄膜の上電極である錫表面が弗化処理された。

【0027】第一の基板と第二の基板を重ね合わせ、両基板を加熱しながら適当な圧力を印加した。試料断面の模式図を図2の(A)に示す。はじめ、錫薄膜204の表面には弗素原子が結合しているが、ある温度に達するとその結合が切れ始める。代わって錫は白金203と結合し、

錫と白金の共晶が形成される。接合面全体に共晶が形成されることによって接合がより強固になる。十分な時間が経過した後、基板同士を引きはがすことにした。

【0028】図2の(B)に示されるように、第一の基板201と下電極(白金)206との界面において剥離が生じ、PZT薄膜素子が第一の基板上から第二の基板上へ転写された。剥離面は常に第一の基板201と下電極206との界面であり、従来の方法よりも転写の成功率が高いことがわかった。

【0029】第二の基板側に錫薄膜を形成したケースでは、基板の材質によっては錫の密着力が弱かった。そのため基板同士を引き剥がしたとき、第二の基板と錫との間で剥離が生じてしまった。一方、本実施例における膜構成のように、錫をセラミックス薄膜上に形成した場合は両者の間で強固な密着力を確保することができた。同時に、第二の基板と白金との密着力は基板材質に依らず強固であった。その結果、第一の基板と下電極との密着力よりも、常にセラミックス薄膜と錫ならびに錫と第二の基板との密着力を相対的に強くすることができた。転写にもっとも有利な膜構成を実現できたといえる。このことは実際にセラミック薄膜デバイスを作製する上で、歩留まりの大幅な向上を約束する。

【0030】本実施例においては第二の基板表面に白金を設けたが、金を設けた場合はさらに錫と金との接合強度が強くなり信頼性が高くなる。また金は白金の上に連続して成膜すると、錫との接合強度が得られると同時に第二の基板との密着力も強くなり、より転写に有利な構造となることが確かめられた。

【0031】(実施例2)実施例1と同様な方法で、第一の基板上に白金の下電極およびPZT薄膜を成膜した。この上に上電極として酸化イリジウムおよび錫をスパッタリングによって成膜した。一方、第二の基板上にはスパッタリングによって白金および金を成膜した。

【0032】錫薄膜の表面を実施例1と同様な手順で弗化処理し、これと第二の基板の最表面である金とを接合した。両基板を引き剥がしたところ、第一の基板と白金との間で剥離が生じ、PZT薄膜は上下電極とともに第二の基板上へ転写された。剥離面は常に第一の基板と下電極との界面であり、上電極とPZT薄膜の間では剥離が生じなかった。

【0033】本実施例のように、PZT薄膜と錫薄膜との間に導電性酸化物を設けることによって、両膜間の密着性はさらに向上した。より転写に有利な素子構造が実現したといえる。このことは、実際にセラミックス薄膜デバイスを作製する上で大幅な歩留まりの向上を約束する。

【0034】(実施例3)はじめに第一の基板として単結晶の(001) SiTiO₃基板を用意し、この上に下電極としてSrRuO₃(以下SROと表記)をスパッタリングにより成膜した。X線回折パターンから、このSROは基板の構造

を反映して(001)優先配向であることがわかった。

【0035】次に、セラミックス薄膜の前駆体溶液としてゾル液を調合した。溶媒の主成分として2-n-ブトキシエタノールを用い、これに酢酸鉛三水和物、ジルコニウムアセチルアセトナートならびにチタニウムテトライソポロボキシドを適量溶解し、所望濃度に調整した。この原料ゾル液を前記第一の基板上にスピンコートによって塗布し、適当な温度で乾燥をおこなった。ゾル液の塗布と乾燥を繰り返すことによって所望膜厚の前駆体膜が形成される。これを最後に750℃で1分間焼成することによってチタン酸ジルコン酸鉛(以下PZTと表記)薄膜を得た。この上に上電極として白金をスパッタリングによって成膜した。

【0036】第二の基板としてシリコン基板を用意し、これにトランジスタ構造を組み込むため、不純物の拡散によって局所的にn型とp型の伝導領域を交互に形成した。所望の位置にコンタクトホールを形成し、ここにポリシリコンを埋め込むことによってプラグを形成した。さらにこの上に電極として白金をスパッタリングによって成膜した。

【0037】実施例1に記載した方法と同様に、第一の基板と第二の基板とを接合した。すなわちここでは、PZTの上電極である錫を弗化処理し、これと第二の基板上に成膜された白金とを接合した。

【0038】両基板を引き剥がしたところ、第一の基板と下電極との間で剥離が生じ、PZT薄膜は上下両電極と共に第二の基板上に転写された。これをバナーニングすることにより、数十 μm^2 程度のキャパシターを作製した。また、トランジスタあるいはPZTに電界を印加するため、所望の位置にコンタクトホールを形成してアルミニウム等を堆積した。得られた素子の断面を模式的に図3に示す。

【0039】301と302はそれぞれ伝導型を制御された領域であり、この部分が第二の基板に予め形成されたトランジスタ部分である。これはポリシリコンプラグ304を介してPt電極306と接続されている。このPt電極306上には、錫薄膜307を介してPZT薄膜308とSRO電極309が順に積層されている。これが第一の基板から転写されたPZT薄膜キャパシターである。一方、アルミニウム等の金属で形成されたビット線305もトランジスタ部分と接続されている。これはワード線303の電位を制御することによってキャパシタと電気的に接続される。すなわちトランジスタのオンオフによってビット線は選択的に特定のキャパシタと信号を交換することができる。ここではPZTの強誘電性に起因した自発分極の向きを情報として利用する。それぞれの向きに0と1を対応させることによってメモリとしての機能が発現する。図で説明した構造は特にスタック型と呼ばれるメモリセル構造のひとつである(試料1)。

【0040】一方、比較のため従来法によって同様な構

造のメモリセルを作製した。はじめに試料1の作製でもちいた第二の基板と同様、トランジスタ構造が組み込まれたシリコン基板を用意した。下電極として白金をスパッタリングによって成膜した。広角法によるX線回折パターンから白金は(111)優先配向であることが確かめられた。この白金上に試料1と同じ原料ソルをコーティングして前駆体膜を形成した。これを最後に酸素雰囲気において750℃で焼成し、結晶性PZT薄膜を得た。上電極を成膜した後、エッチングによってポリシリコンプラグの真上にキャパシターを形成した。またトランジスタと接続するため、所望の位置にコンタクトホールを形成し、ここにアルミニウム等を堆積した。このようにして作製されたメモリセルは、図3中に示される錫薄膜307を含まないこと以外は試料1と全く同様な構造である(試料2)両試料間でメモリ素子としての性能を比較することにした。優劣の指針として、キャパシターの強誘電特性に注目した。図3におけるSR0電極309とPt電極306との間に交流電界を印加し、得られるヒステリシスループから残留分極量(Remanent polarization ;Pr)を測定した。結果を表1に示す。

【0041】

【表1】

試料	試料 1	試料 2
Pr ($\mu\text{C}/\text{cm}^2$)	30	15

表1から明らかなように、試料1では試料2にくらべて大きなPrが得られている。試料1のPZT薄膜は、試料2にくらべてより優れた強誘電性を示すことがわかった。

【0042】両試料共に広角法をもちいたX線回折パターンを得たところ、試料1のPZTはSR0の基板構造を反映して(001)優先配向であることがわかった。一方、試料2のPZTはPtの配向性に起因して(111)優先配向であった。Prの差が結晶配向性に依存していることが明らかになった。すなわち試料1では、自発分極軸と電界印加方向が一致しているため、より効果的にPrが得られたものと考えられる。

【0043】上述のようにセラミックス薄膜を所望の結晶方位に制御することは、膜本来の性能を最大限発揮させる上できわめて重要である。薄膜は基板表面の構造を反映して結晶成長するため、予め最適な基板を選択することが望ましい。しかしながら一方で、基板はデバイスとしての機能も併せ持つ必要がある。このため成膜にもちいられる基板は限られてきた。ところがこのような制約は、素子駆動用の回路とセラミックス薄膜をそれぞれ別の基板で作製することによって解消される。本実施例では、PZT薄膜を独立した基板上に成膜した。最適な基

* 板を利用することができたため、結晶配向性を制御することができた。これを組み込むことによって、メモリ素子の機能は劇的に向上した。成膜過程に転写を取り入れることによって、理想的な素子構造が実現されたといえる。

【0044】

【発明の効果】以上述べたように、本発明のセラミックス薄膜デバイスの製造方法によれば、第二の基板とセラミックス薄膜素子との接合が強固になるため、第一の基板からの転写をより確実なものとするができる。

【0045】また、本発明のセラミックス薄膜デバイスの製造方法によって作製された素子は、所望の結晶配向性をもったセラミックス薄を利用することができるため、きわめて優れた性能を発揮する。

【図面の簡単な説明】

【図1】 弗化処理工程の概略を示す図。

【図2】 セラミックス薄膜の転写前後における基板上の薄膜構造を示す図。

【図3】 強誘電体薄膜を用いたメモリセル構造の一例を示す図。

【符号の説明】

101. CF_4 と H_2O を混合するための容器

102. 放電ユニット

103. 弗化処理を施すための容器

104. 試料を加熱するためのヒーター

105. 除外装置

106. サンプル

201. 第一の基板

202. 第二の基板

30 203. Pt薄膜

204. 錫薄膜

205. PZT薄膜

206. 下電極

301. n型の伝導領域

302. p型の伝導領域

303. ワード線

304. ポリシリコンプラグ

305. ビット線

306. Pt電極

40 307. 錫薄膜

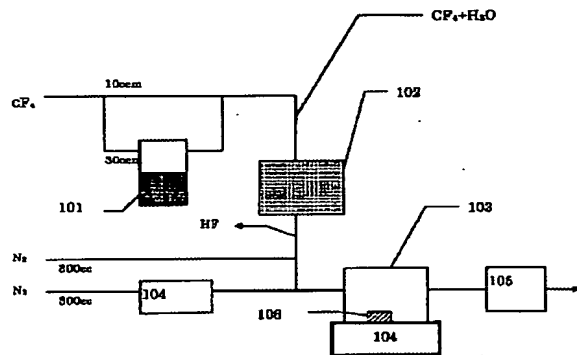
308. PZT薄膜

309. SR0電極

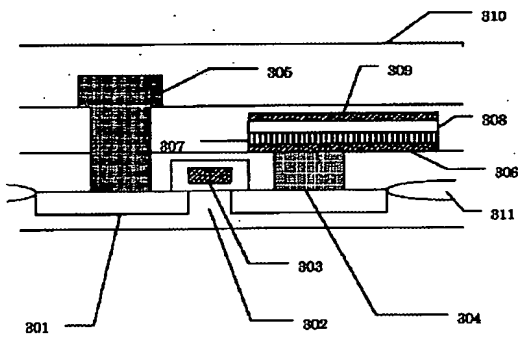
310. 絶縁膜

311. SiO_2

【図 1】

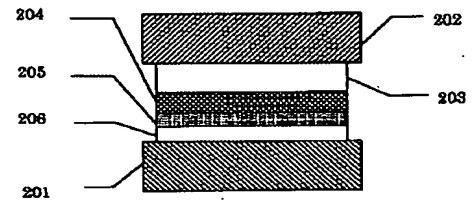


【図 3】

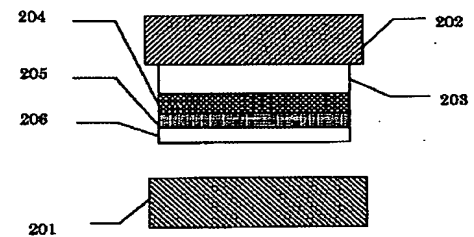


【図 2】

(A)



(B)



フロントページの続き

(72) 発明者 高橋 克弘
 長野県諏訪市大和 3 丁目 3 番 5 号 セイコ
 ーエプソン株式会社内

F ターム (参考) 5F083 FR02 GA21 JA15 JA31 JA36
 JA38 JA43 JA57 MA06 MA17
 PR12 PR33